

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03082121 A

(43) Date of publication of application: 08.04.91

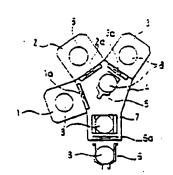
(54) POST-PROCESSING OF DRYETCHING

(57) Abstract:

PURPOSE: To restrain the after corrosion in wiring process by a method wherein a semiconductor substrate after heat treatment is transferred to an ashing chamber in vacuum state to be ashing-processed and then a photoresist film is removed.

CONSTITUTION: A semiconductor wafer 8 is transferred to a heat treatment chamber 2 and then a gate valve 2a is closed to heat-treat the semiconductor wafer 8 whereon AI-0.5% Cu is formed. Next, gate valves 2a and 3a are opened to transfer the semiconductor wafer 8 to an ashingchamber 3 and then the gate valve 3a is closed. Later, a photoresist film as a masking material for the formation of Al-0.5% Cu wiring is ashing-processed. Next, the semiconductor wafer 8 in the ashing chamber 3 is transferred to a before cassette 7 again to be stored in a vacuum After finishing the processing of the semiconductor wafer 8 by repeating the said processes, a week transfer chamber 4 is turned in atmospheric state and then the other gate valve 6a is opened to discrarge the semiconductor 8 into a water cassette 6 so that the dryetching and the post-processing thereof may be finished.

COPYRIGHT: (C)1991,JPO&Japio



(51) Int. Cl

H01L 21/302

(21) Application number: 01219425

(71) Applicant:

NEC CORP

(22) Date of filing: 25.08.89

(72) Inventor:

ONO YASUYUKI

(1) 日本国特許庁(JP)

10 特許出願公開

母 公 開 特 許 公 報(A) 平3−82121

®Int. Cl. ^⁵

验別記号

庁内整理番号

49公開 平成3年(1991)4月8日

H 01 L 21/302

N 8122-5F H 8122-5F

審査請求 未請求 請求項の数 1 (全4頁)

SD発明の名称

ドライエッチングの後処理方法

②特 顧 平1−219425

⑦発明者大

庚 行

東京都港区芝 5 丁目33番 1 号 日本電気株式会社内

· 加出 題 人 日本電気株式会社

東京都港区芝5丁目7番1号

砂代 理 人 弁理士 藤巻 正意

OF THE COPY

明相會

1. 発明の名称

ドライエッチングの後処理方法

2. 特許課求の範囲

(1) 半導体基板上に形成されたフェトレリスト度をマスクとするドライエッチングの後処理方法において、ドライエッチング後の半導体基板を真空中にて無処理チャンペに移動させて耐配半導体基板を加熱処理する工程と、無処理後の貧配半導体基板を真空中にてアッシングチャンペに移動させてアッシング処理することにより貧足フェトレリスト度を除去する工程とを有することを特徴とするドライエッチングの接処理方法。

3. 発明の評価な説明

【産業上の利用分野】

本発明は半導体基板上に形成されたフェトレジスト度をマスクとするドライエッチングの後処理方法に関し、特に、アルミニウム合金を使用した半導体基板上への記録形成に呼通のドライエッチングの後処理方法に関する。

、[従来の技術]

従来、この種のドライエッチングにおいては、例えば、半導体基板上に 0.5重量%の類を含有するアルミニウム合金(以下、A & - 0.5% C u という)族を被看した後に、このA & - 0.5% C u 底上に所定のパターンのフォトレジスト族を形成する。更に、このフォトレジスト族を平スクとして、 でA & - 0.5% C u 点を形成している。

そして、このドライエッチングの後処理は、大 気中において、この半導体基度をホットプレート により加熱処理した後に、純水でリンス洗浄する ことにより行なわれている。また、半導体基板を 大気中に魅すことなく、Oa プラズマアッシング 処理する後処理方法もある。

このようなドライエッチングの後処理方法によって、半導件基板上に装留するフォトレジスト膜及びエッチングガスが除去される。

[発明が解決しようとする異題]

しかしながら、上述した世来のドライエッチ学の後述理方において、加熱処理大型型気において、加熱処理大型型気に関係が大に、対象を表示しているとないでは、対象を表示しているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっているとなっないるとなっないるとなっているとなっないるとなっないるとなっないるとなっないないるとなっないないるとなっないるとなっないるとなっないるとなっないるとなっないるないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないる。となっないるとなっないるとなっないる。となっないるとなっないる。となっないるとなっないるとなっないるとなっないる。となっないるとなっないるとなっないるとなっないるとなっないる。となっないるとなっないる。となっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないのでもなっないないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないるとなっないのもないる。とないるとないないるとな

また、ドライエッチング後にOz ブラズマアッシングを行なう場合には、エッチングにより形成されたAI-0.5%Cu配線が大気中の水分と接触する前に大部分のCI分子がアッシングにより輸去されるが、その一部のCI分子が残留するたとに、大気中に放電されるとアフターコロージョンが発生するという問題点がある。

+ンパに移動させてアッシング処理を行なう。これにより、ドライエッチング後にこの半導体基板上に接着するCI分子を著しく低減することができると共に、不要なフェトレジスト膜を除去することができる。また、この半導体基板は、CI分子が除去されるまで大気と接触することがないので、半導体基板に発生するアフターコロージョンを抑制することができる。

[実施例]

次に、本発明の実施例について試付の国面を参 削して説明する。

第1回は本発明の実施例方法にて使用するドラ イエッチング及びその後処理装置を示す模式図で かる。

半部体ウェハ8はその表面に例えばA8- 0.5 % C u 繋が放着されており、更にこのA8- 0.5 % C u 製上には所定のパターン形状のフォトレジスト製が形成されている。ウェハカセット8は半部体ウェハ8の縁部を強持して半等体ウェハ8を移動させることができる構造となっている。ウェ

本見朝はかかる問題点に鑑みてなされたものであって、半導体基板上の配差におけるアフターコロージョンの発生を抑制することができるドライエッチングの後処理方法を提供することを目的とする。

[課題を解決するための手段]

本発明に係るドライエッチングの後処理方法は、 半導体基板上に形成されたフェトレジスト度をマ スクとするドライエッチングの後処理方法におい て、ドライエッチング後の半導体基板を真空中に で熟処理チャンパに移動させて前記半導体基板を 加熱処理する工機と、熱処理後の前記半導体基板 を真空中にてアッシングチャンパに移動させてア ッング処理することにより前記フェトレジスト 膜を除去する工程とを有することを特徴とする。 【作用】

本角明においては、半導体基板にドライエッチ ングを行なった後に、この半導体基板を大気中に 理すことなく真空中で熱処理チャンパに移動させ て加熱処理を行ない、更に真空中でアッシングチ

ハカセット 8 はこの半導体ウエハ 8 をウエハトラ ンスファチャンパ4のウエハ導入部まで搬送する。 このウェハトランスファチャンパ4のウェハ導入 都の側面には頭胡可能なゲートパルブ8aが投け られている。また、ウエハトランスファチャンパ 4の3個面には、エッチングチャンパ1、熱処理 チャンパ2及びアッシングチャンパ3が夫々ゲー トパルプ1a.2a.3aにより仕切られて配設 されている。そして、 ペッファカセット7はクエ ハトランスファチャンパ4の導入部内に配扱され ており、垂直方向に25枚の半導体ウェハ8を水平 に重ねて相互関に選長関係をおいて収納すること ができる。また、ウエハトランスファテャンパ4 の各チャンパ1,2,3に面する中心部にはウェ ハ菱送ロポット5が設置されており、クエハトラ ンスファチャンパ4内において、半導体ウェハ8 を各チャンパ1、2、3に向けて移動させること ができる.

これにより、ゲートパルプ1a,2a,3aを 関いた状態でウェハ搬送ロボット5は半事体ウェ ハ8を夫々エッテングテャンパ1、熱処理テャンパ2又はアッシングチャンパ3に出し入れすることができる。

本実施例方法においては、先ず、ゲートパルブ 8aを聞いて、ウェハカセット6内の半導体ウェ ハ8を25枚チャンパ4内に移載し、これをパッファカセット7に収納する。そして、ゲートパルブ 8aを聞じた後に、ウェハトランスファテャンパ 4内を真空度が例えば 50mTorrになるように真空 引きする。なお、各チャンパ1。 2。 3内は予め 所定の真空度に真空引きされている。

次に、ゲートパルブ1aを聞く。そして、パッファカセット7に収納された半導体ウェハ8の1 牧をウェハ撮送ロボット5によりエッデングチャンパ1内に搬入した後に、ゲートパルブ1aを閉じる。その後、例えば、圧力が300mTorr、高周波電力(RFパワー)が 400W、BC ga, C ga 及びC C gaのガス波量が夫々70。40及び10SCCR、エッチング時間が 180秒というドライエッチング条件にて、半導体ウェハ8上に A ga = 0.5% C u

ウェハ8を再びパッファカセット7に最近して真 空状態で保管する。

このような操作を繰り返し、パッファタセット 7内の25枚の半導体ウェハ8の処理が終了した後に、ウェハトランスファチャンパ4を大気状態に し、ゲートパルブ8aを開き、半導体ウェハ8を ウェハカセット8に辞出して、ドライエッチング 及びその後処理が完了する。

次に、本実施例方法により実際に後処理を実施 した試験結果について第2個及び第3個を参照し て説明する。

これらの図において、上述の各条件及び工程に より得られた半導体ウェハ8を実施例とした。

また、本実施例のエッチング条件と同一条件でドライエッチングされた半導体ウェハを、ホットプレートにより温度が 150℃で 180秒間加熱し、25℃の減水で 180秒間リンス処理を行なって得られた半導体ウェハを従来例1とし、本実施例のアッシング条件と同一条件の0。アッシング処理のみを行なって得られた半導体ウェハを従来例2と

配量を形成する。

次に、ゲートペルブ La及び 2aを聞き、ウェハ豊送ロボット 5によりエッチングチャンパ 1 内の半導体ウェハ 8を熟品選チャンパ 2 内に搬送し、ゲートペルブ 2aを閉じる。その後、何えば、圧力が 3Terr、Na ガスの複量が 50eSCCE、赤外様ランプ運度が 200℃、熱処理時間が 180秒の熱処理条件にて、A 4 ー 0.5% C u 配線が形成された半導体ウェハ 8 の熱処理を行なう。

次に、ゲートパルブ28及び38を図8、ウェハ銀送ロボット5により熟処理チャンパ2内の半導体ウェハ8をアッシングチャンパ3内に登送し、ゲートペルブ3を閉じる。その後、例えば、圧力が1.4Torr、マイクロ彼パワーが1kW、0。ガスの波量が400SCCN、チセプタ温度が200℃、アッシング時間が180秒の条件にて、A1-0.5%Cu配線形成時のマスク材であるフォトレジスト膜をアッシングする。

次に、ゲートベルブ3 & を関き、ウェハ搬送ロボット5によりアッシングチャンパ3内の半導体

した。

第2回は実施例の半導体ウェハ上の残智塩素量 を基準として、実施例、従来例1,2及び未処理 ウェハ上の残智塩素量の相対値を示すグラフ図で ある。

第2型に示すように、従来例1及び2の半導体 ウェハは、その残留塩素量が未処理のウェハに比 して、夫々約1/1000及び1/100 に減少している。 一方、本実施例の半導体ウェハは、その残管塩素 量が従来例1及び2に比して、更に1/10万至 1/100 に減少している。

第3回は実施例及び従来例 1, 2の半導体ウェ ハを大気中に放便して、その耐食性を調べた場合 の質食発生までの時間を示すグラフ図である。

第3回に示すように、従来例1の半導体ウェハ は約12時間後に、従来例2の半導体ウェハは約38 時間後にアフターコロージョンが発生した。一方、 本実施例の半導体ウェハは、128時間延過しても アフターコロージョンが発生しなかった。

[景切の効果]

以上説明したように本発明によれば、 半導体基 板上にアルミニウム合金を使用して記録を形成する場合に、エッチング後に半導体基板を大気中に 場かことなく、 真空中にて加熱処理を行ない。 にアッシング処理することによりドライエッチン グの後処理を行なっている。 このため、 半導体基 板上の記録に発生するアフターコロージョンを著 しく抑制することができ、耐食性が優れた長寿命 の半導体基板を製造することができる。

4. 歯面の簡単な氣明

第1団は本発明の実施例方法にて使用するドライエッチング及びその後処理設置を示す模式団、 第2団は実施例の半導体ウェハ上の護管塩素量を 基準として、実施例、従来例1,2及び未処理ウェハ上の護管塩素量の相対値を示すグラフ団、第 3団は実施例及び従来例1,2の半導体ウェハに おける賃金売生までの時間を示すグラフ団である。

1;エッチングデャンパ、1 a, 2 a, 3 a, B a;ゲートパルプ、2;無処理チャンパ、3; ファンングテャンパ、4;ウエハトランスファテ ャンパ、5;ウエハ豊武ロポット、8;ウエハカセット、7;パッファカセット、8;半導体ウエ

出国人 日本電気株式会社 代国人 非理士 顕過正章

1: エッチングチャンパ

10.20,30,60:ケートバルブ

2. 悪処理チャンパ

3: フャシングチャンパ

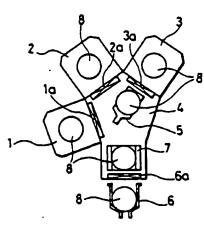
4: クエハトランスファチャンパ

5、ウエハ機はロボット

6, クエハカセット

7:パッファカセット

8;半導体ウェハ



第 1 図

